

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-203882
 (43)Date of publication of application : 19.07.2002

(51)Int.CI. H01L 21/66
 G01R 31/02
 G01R 31/28
 G01R 31/302
 H01L 21/822
 H01L 27/04

(21)Application number : 2001-260591

(22)Date of filing : 30.08.2001

(71)Applicant : HITACHI LTD

(72)Inventor : HAMAMURA YUICHI
 KUMAZAWA TAKAAKI
 ASAKURA HISAO
 TSUKUNI KAZUYUKI
 SUGIMOTO ARITOSHI

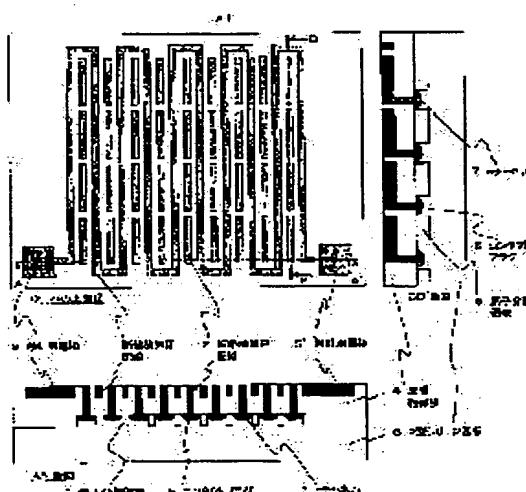
(30)Priority

Priority number : 2000334916 Priority date : 30.10.2000 Priority country : JP

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve testing efficiency using a TEG, resulting in increasing a yield.
SOLUTION: In order to achieve the above mentioned objective, the method of this invention comprises testing a first interconnection arranged on an insulation film formed on a substrate and a second interconnection electrically connected to the substrate and arranged on said insulation film and controllably manufacturing the electronic device utilizing the test result, and further comprises the steps of testing whether the first interconnection is opened by measuring an electrical resistivity between both ends of said interconnection and testing a short circuit between the first and second interconnections by measuring the resistivity between the first interconnection and the substrate.



LEGAL STATUS

[Date of request for examination] 06.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-203882
(P2002-203882A)

(43)公開日 平成14年7月19日(2002.7.19)

(51)Int.Cl.
H 01 L 21/66
G 01 R 31/02
31/28
31/302

識別記号

F I
H 01 L 21/66
G 01 R 31/02
31/28

テマコード*(参考)
S 2 G 0 1 4
Y 2 G 1 3 2
4 M 1 0 6
L 5 F 0 3 8
U

審査請求 未請求 請求項の数15 O.L (全 20 頁) 最終頁に続く

(21)出願番号 特願2001-260591(P2001-260591)
(22)出願日 平成13年8月30日(2001.8.30)
(31)優先権主張番号 特願2000-334916(P2000-334916)
(32)優先日 平成12年10月30日(2000.10.30)
(33)優先権主張国 日本 (JP)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 滝村 有一
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(72)発明者 熊沢 孝明
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(74)代理人 100075096
弁理士 作田 康夫

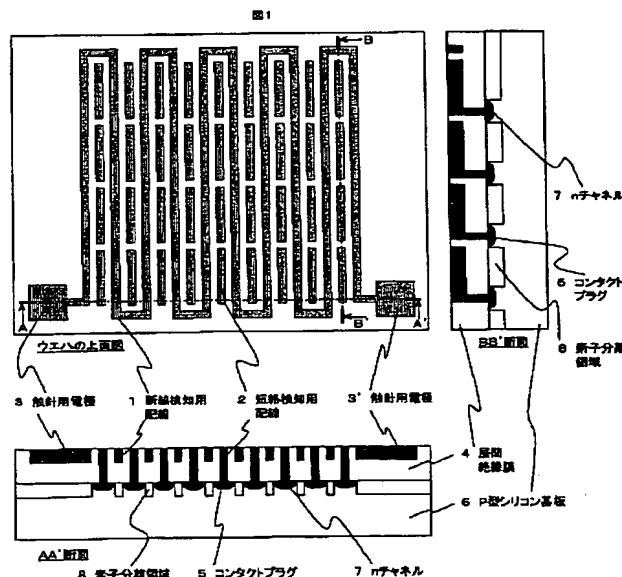
最終頁に続く

(54)【発明の名称】電子デバイスの製造方法

(57)【要約】

【課題】本発明の目的は、TEGを用いた検査効率を向上させることにあり、それによって歩留まりを向上させることにある。

【解決手段】本発明は、上記目的を達成するために、基板に形成した絶縁層上に設けられた第一の配線と該基板と電気的に接続されかつ該絶縁層上に設けられた第二の配線とを用いて検査し、その検査結果を用いて電子デバイスを管理して製造する電子デバイスの製造方法であって、該第一の配線の両端の電気抵抗を測定することで該第一の配線が断線しているか否かを検査する工程と、該第一の配線と該基板との間の電気抵抗を測定することで該第一の配線と該第二の配線が短絡しているか否かを検査する工程とを有するものである。



【特許請求の範囲】

【請求項1】基板に形成した絶縁層上に設けられた第一の配線と該基板と電気的に接続されかつ該絶縁層上に設けられた第二の配線とを用いて検査し、その検査結果を用いて電子デバイスを管理して製造する電子デバイスの製造方法であつて、

該第一の配線の両端の電気抵抗を測定することで該第一の配線が断線しているか否かを検査する工程と、該第一の配線と該基板との間の電気抵抗を測定することで該第一の配線と該第二の配線が短絡しているか否かを検査する工程とを有することを特徴とする電子デバイスの製造方法。

【請求項2】p型シリコン基板に形成した絶縁層上に設けられた第一の配線と該p型シリコン基板に形成したnチャネルを介して電気的に接続されかつ該絶縁層上に設けられた第二の配線とを用いて検査し、その検査結果を用いて電子デバイスを管理して製造する電子デバイスの製造方法であつて、

該第一の配線と該p型シリコン基板との間の電気抵抗を測定することで該第一の配線と該第二の配線が短絡しているか否かを検査することを特徴とする電子デバイスの製造方法。

【請求項3】前記第二の配線が前記第一の配線が形成する配線間に配置されることを特徴とする請求項1または2記載の電子デバイスの製造方法。

【請求項4】前記第一の配線が櫛歯形状もしくは蛇行形状であることを特徴とする請求項3記載の電子デバイスの製造方法。

【請求項5】荷電粒子線を照射することで前記第一の配線と前記第二の配線との短絡箇所をコントラストを用いて検出することを特徴とする請求項2～4のいずれかに記載の電子デバイスの製造方法。

【請求項6】請求項1乃至5のいずれか1つに記載の第一の配線と第二の配線とが半導体デバイスとなる領域以外の領域に形成されたことを特徴とするウエハ。

【請求項7】請求項1乃至5のいずれか1つに記載の第一の配線と第二の配線とが形成された半導体デバイス。

【請求項8】電流を流すことで前記第一の配線と前記第二の配線との短絡箇所で生じる発光を捉えて短絡を検出することを特徴とする請求項1乃至4のいずれか1つに記載の電子デバイスの製造方法。

【請求項9】請求項8に記載の第一の配線と第二の配線とが半導体デバイスとなる領域以外の領域に形成されたことを特徴とするウエハ。

【請求項10】請求項8に記載の第一の配線と第二の配線とが形成された半導体デバイス。

【請求項11】電子デバイスと該電子デバイスの検査用の配線とを基板上に備えたウエハにおいて、該検査用の配線は、断線検知用の第一の配線と短絡検知用の第二の配線を該基板上に絶縁層を介して形成されて

なり、かつ該第二の配線と該基板とが電気的に接続されることを特徴とするウエハ。

【請求項12】電子デバイスと該電子デバイスの検査用の配線とを基板上に備えたウエハにおいて、該検査用の配線は、断線検知用の第一の配線と短絡検知用の第二の配線を該基板上に絶縁層を介して形成されてなり、かつ該第二の配線と該基板とがコンタクトプラグを介したチャネルにより接続されてなることを特徴とするウエハ。

【請求項13】請求項12に記載のウエハにおいて、1本の前記第二の配線毎に複数個のコンタクトプラグを介して前記基板と電気的に接続されてなることを特徴とするウエハ。

【請求項14】請求項12に記載のウエハにおいて、チャネルとチャネルの間に素子分離部分を設けたことを特徴とするウエハ。

【請求項15】請求項1又は2に記載のウエハにおいて、前記基板上に絶縁層を介して触針用電極板が形成されてなり、かつ該基板と該触針用電極板とが電気的に接続されてなることを特徴とするウエハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイス、電気回路基板、CCD素子のような電子デバイスを検査して製造する技術に関する。

【0002】

【従来の技術】近年、製品の市場競争力を強化するためには、製品開発期間の短縮が必須要件となってきた。しかし、製品の良品、不良品を判断する製品完成時の電気的特性検査までにはライン投入から数十日を要するため、その電気的特性検査の結果を待って対策したのでは遅い。

【0003】この問題を解決するために、製品開発において、共通な工程をブロックごとに分割し、このブロック内で電気的検査を行い、この結果をプロセスにフィードバックして、当該ブロックのプロセスを早期に確立する方法がある。このブロックをモニタするための試料は、TEG (Test Element Group)、ショートループモニタ、もしくはテストストラクチャと呼ばれている。以下、これらを総称してTEGと呼ぶこととする。TEGの一例は、「Integrated Circuit Manufacturability, IEEE PRESS, P26-P29」に開示される。

【0004】TEGで発生した短絡位置を特定する技術として、電子線や集束イオンビームなどの荷電粒子線の照射によって、配線パターンの表面電位状態の違いを検出する、すなわち電位コントラストを取得して、欠陥の所在を検出する技術がある。この技術を利用したTEG

の一例が、「Microelectronic Test Structures for Rapid Automated Contactless Inline Defect Inspection, IEEE Transactions on Semiconductor Manufacturing, Vol. 10, No. 3, August, 1997」に開示される。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来技術では、ウェハ内のすべてのTEGパターンに対して荷電粒子線を照射する必要があるため、多くの検査時間を要する。特に、1枚のウェハあたりの欠陥が少ない場合には、それだけ正常なTEGパターンの占める割合が多くなり、異常箇所を検出するための検査にもかかわらず、この正常なTEGパターンを検査する時間が大部分を占めるといった低効率な作業となっていた。

【0006】すなわち、従来技術では、短絡した位置を効率よく特定するTEGについては十分に検討されておらず、そのため、検査、解析に多大な時間が割かれ、その結果を製造ラインにフィードバックするまでの時間が遅れ、効果的に歩留まりを向上させることができなかつた。特に、電位コントラスト法を効果的に使用するためのTEGについては十分には検討されていなかつた。

【0007】また、従来技術では、短絡と断線とを効率良く切り分けることができず、前述同様に、検査、解析に多大な時間が割かれ、その結果を製造ラインにフィードバックするまでの時間が遅れ、効果的に歩留まりを向上させることができなかつた。

【0008】本発明の目的は、TEGを用いた検査効率を向上させることにあり、それによって歩留まりを向上させることにある。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために、特許請求の範囲の通りに構成したものであり、例えば、基板に形成した絶縁層上に設けられた第一の配線と該基板と電気的に接続されかつ該絶縁層上に設けられた第二の配線とを用いて検査し、その検査結果を用いて電子デバイスを管理して製造する電子デバイスの製造方法であつて、該第一の配線の両端の電気抵抗を測定することで該第一の配線が断線しているか否かを検査する工程と、該第一の配線と該基板との間の電気抵抗を測定することで該第一の配線と該第二の配線が短絡しているか否かを検査する工程とを有するものである。

【0010】また、p型シリコン基板に形成した絶縁層上に設けられた第一の配線と該p型シリコン基板に形成したnチャネルを介して電気的に接続されかつ該絶縁層上に設けられた第二の配線とを用いて検査し、その検査結果を用いて電子デバイスを管理して製造する電子デバイスの製造方法であつて、該第一の配線と該p型シリコン基板との間の電気抵抗を測定することで該第一の配線

と該第二の配線が短絡しているか否かを検査するものである。

【0011】

【発明の実施の形態】本発明の実施の形態を図面を用いて説明する。

【0012】図1は、短絡不良だけでなく断線不良をも検出できるTEG構造を示す図である。図示はしていないが、このTEG構造はウェハ全面もしくは最終製品となるチップとともに複数個配置され、一般には、コンタクト不良などの他の検査を目的とした異なるTEG構造とともに配置される。

【0013】まず、所望の配線幅と配線長を有する断線検知用配線1を第一配線層で蛇行させて配置する。断線検知用配線1の両端には、触針用電極3及び3'を配置し、これらによって電気的に配線抵抗を測定して断線の有無を確認する。

【0014】断線検知用配線1の長手方向(図1で縦方向)の配線の間隙に並行して複数の短絡検知用配線2を配置し、隣接する配線どうしの間隔を所望の寸法となるようとする。断線検知用配線1と短絡検知用配線2とは層間絶縁膜4を介して電気的な絶縁を保つ。複数配置した短絡検知用配線2は、それぞれコンタクトプラグ5を介して、P型シリコン基板6の上面にnドープ(イオン打ち込み)したnチャネル7に接続する。この複数のnチャネル7はそれぞれ、素子分離領域8を介して電気的に絶縁される構造としており(絶縁が保たれれば省略しても良い)、短絡検知用配線2の絶縁が保持される。配線間隔と配線幅については、モニタすべき配線工程プロセスの代表的な寸法とし、0.1ないし1マイクロメータにする。欠陥の大きさごとの発生頻度をモニタするには、複数のTEGに、各々別の配線間隔を有する配線を設けてもよい。以後、この一つのTEGの単位を、モジュールと称することとする。

【0015】次に、図2を用いて配線の短絡不良の検出方法について説明する。

【0016】まず、図示するように、一方のプローブ10を断線検知用配線1に接続された触針用電極3に接触させる。もう一方は、P型シリコン基板6に接触させた基板電極(図示せず)に接続して、この間の抵抗を測定器11にて測定する。このとき、基板電位をプローブ10の電位より高くなるようにする。すなわち、基板電極が接地電位とすれば、プローブ10に負電位を与え、プローブ10が接地電位とすれば、基板電極に正電位を与える。これはP型シリコン基板6に設けたnチャネル7によりダイオード機能が形成されており、短絡が存在する場合、図示しない基板電極から、P型シリコン基板6を介して、短絡した箇所13のnチャネルに電流(ダイオードの順方向電流)が流れ易いようになるためである。電流が流れると、コンタクトプラグ5、短絡検知用配線2、短絡13を介して、断線検知用配線1に電流が漏洩

するので、この漏れ電流を触針用電極3に触針したプローブ10で検出することで、短絡不良が検出される。

【0017】次に、前記電気検査により短絡不良と判定されたTEGの不良発生位置の特定方法、すなわち電位コントラスト法による特定方法について説明する。

【0018】図3を用いて電位コントラスト法により短絡箇所を検出する方法を説明する。

【0019】断線検知用配線1の表面に荷電粒子線2.0を照射したとき、断線検知用配線1から2次電子2.1が放出する。断線検知用配線1とP型シリコン基板6とは電気的に絶縁されているが、断線検知用配線1を導電性のプローブ2.2を介して接地させた場合、接地することで電子を供給できる状態となり、2次電子2.1が大量に放出される。この放出された2次電子2.1を、検出器2.3で検出し、信号処理部2.4において所望の処理を行い、表示部2.5において荷電粒子線2.0の明るいコントラストを有する走査画像として表示できる。一方、短絡の発生していない短絡検知用配線2は、コンタクトプラグ5とnチャネル7を介してP型シリコン基板6に電気的に接続されているものの、P型シリコン基板6にnチャネル7を形成することでダイオード特性が持たされており、電子は短絡検知用配線2に供給されにくくなっている。従って、短絡検知用配線2の表面から2次電子2.1は一時的に放出されるが、消費した2次電子2.1がP型シリコン基板6から供給されないため、短絡検知用配線2には帶電が生じ、結果として暗いコントラストとなる。反対に、欠陥の短絡1.3が存在した場合、この短絡1.3の発生した配線については、断線検知用配線1と導通して概略同電位となるため、2次電子が大量に放出され断線検知用配線1と同様に2次電子が大量に放出して明るいコントラストとなる。これにより、短絡1.3の発生した短絡検知用配線2の顕在化させることができる。図3においては、電位コントラスト画像を得るためにプローブを介して接地しているが、このほかTEGの内部回路で基板と接続させたり、導体1.0の体積差(容量差)を利用して帶電電圧(これによって決まる2次電子の放出量)を異ならせ、電位コントラストの差として断線位置や短絡位置を検出することができる。

【0020】基本的なコントラスト画像を用いた検査方法は、ラインスキャン方式と、2次元走査画像の比較方式がある。ラインスキャン方式とは、図4(a)に示すように、一次元のラインスキャンの信号処理による認識方法である。短絡検知用配線2の電位コントラストの信号周期の不規則性の変化を捉えることで、短絡箇所を特定するものである。フーリエ変換等で、正常部における主成分の周期から、この周期の乱れた部分を欠陥として抽出するか、もしくは、予め正常部の信号波形の周期や振幅を求めておくことによって、短絡起因の信号周期の振幅異常を認識するかして、この座標を算出して記憶したり、短絡発生数を計数したりする。欠陥の発生状況を個

数によりモニタしたり、欠陥の座標に基づいて、電子顕微鏡などで短絡箇所をレビューすることができる。

【0021】また、2次元走査画像の比較方式とは、図4(b)に示すように、2次元画像を順次取り込み、別の領域の画像を用いて比較することにより、欠陥箇所を顕在化させるものである。具体的には、3つのTEGモジュールを観察して得られた2次元画像を用いる。TEG(a)の原画像2.6とTEG(b)の比較画像2.7との差画像2.8を取得し、次にTEG(a)の原画像2.6とTEG(c)の比較画像2.9との差画像2.8'を取得し、しきい値を越える差画像の有り無しを確認して、どの画像に異常が存在するか、すなわちどのTEGに欠陥があるかを判定し(この場合は、TEG(b)に欠陥がある)、その座標を算出する方法である。この検査感度向上のためには、断線検知用配線1の片側を触針用電極3あるいは3'にプローブで触針して接地する方法や、内部回路にて予め接地する方法がコントラストを強調する上で有効であるが、断線検知用配線1と短絡検知用配線2との体積差(容量差)が充分であれば、触針用電極3あるいは3'にプローブで触針して接地する必要はない。

【0022】本TEG構造を用いて断線不良を検出する場合は、図5に示すように、断線検知用配線1の両端に接続した触針用電極3および3'にプローブ1.0を接触させて測定器1.1にて配線抵抗の測定を行う。断線1.2が存在すると、その配線の抵抗が、目標仕様の配線抵抗より高くなるため、これにより断線不良の有無を確認する。また、図6に示すように、電位コントラスト法を用いて断線箇所を特定する場合は、前述の通り、被検査対象物であるモジュールに荷電粒子線2.0を照射すると、断線検知用配線1の一部、すなわち断線1.2が発生した箇所が暗コントラストとなる。この暗いコントラストとなつた部分の端部(図6において最も右端で、かつ最も上側の座標に、断線1.2が存在する)を捉えることにより、容易にその位置を特定することができる。

【0023】次に、断線と短絡が一つのモジュールにて発生した場合の詳細な不良検知方法について図7を用いて説明する。

【0024】まず、図示はしないが、前述したとおり、40この断線検知用配線1の両端に接続した触針用電極3にプローブ1.0を接触させて測定器1.1で抵抗測定を行い、断線1.2の存在を確認する。次に、図7に示すように基板電極(図示せず)と、前記断線検知用配線1の片端に接続した触針用電極3に接触させたプローブ1.0との抵抗を測定し、短絡1.3の有無を確認する。図7

(a)に示した例の場合では、断線1.2が発生しているため、短絡1.3を確認することができない。そこで、図7(b)に示すように、前記断線検知用配線1のもう一方の触針用電極3'との接続を測定することで、短絡1.3の存在が確認できる。これによって、一つのモジュー

ル内で断線12と短絡13が同時に発生した場合についても、正確な検査が可能となる。

【0025】以上の手順を図8にまとめる。

【0026】まず、断線検知用配線1の両端に接続した触針用電極3、3'との間の抵抗測定をして断線の有無を検査し(ステップ1)、次にこれらの触針用電極の一方と基板側電極との間の抵抗測定をして短絡の有無を検査する(ステップ2)。ここで、ステップ1において断線が検出された場合は、触針用電極の他方と基板側電極との間の抵抗測定をして短絡の有無を検査する(ステップ3)。この一連の手順によって、断線と短絡のそれされ、さらには混在した場合を効率よく検査することができる。

【0027】次に、断線不良と短絡不良が同一のモジュールに発生した場合の、短絡箇所を特定する方式を図9を用いて説明する。なお、本TEG構造であれば、上記の電位コントラスト法を用いることで短絡ばかりでなく、同時に断線時のコントラストも取得できるので、断線位置と短絡位置とを同時に検出することができる。

【0028】まず、前述と同様に、被検査対象物であるモジュールに荷電粒子線20を照射すると、断線検知用配線1の一部、すなわち断線12が発生した箇所が暗コントラストとなるのでその断線位置を特定することができる。また、短絡13が発生した箇所では、断線検知用配線1と電気的に接続した状態となっているので、十分な容量を得て明コントラストとなりその短絡位置をも特定することができる。

【0029】ところで、断線により分断された断線検知用配線1は、その分断された配線長に応じてコントラストが決定され、配線長が短ければ帶電電圧が上昇し、暗コントラストとなってしまう。この部分に短絡した箇所があると、当然のことながら、短絡箇所は断線検知用配線1の暗コントラストと同化して、その顕在化が困難となる場合がある。このような場合、例えば、図9(b)に示すように、暗コントラストとなった側の断線検知用配線1に接続された触針用電極3に、触針することにより基準電位を印加することで、断線検知用配線1が明コントラストに変化させ、これにより前述したような短絡箇所13を特定することができる。

【0030】図10に、短絡不良を検出するための他のTEG構造を示す。

【0031】図に示すTEG構造は、前述のTEG構造を積層したものである。上層の短絡検知用配線2は、スルーホール40を介して、下層の短絡検知用配線2と接続するので、p型シリコン基板とnチャネルを介して導通されており、前述の電位コントラスト法により短絡位置を特定できる。断線検知用配線1は、上下層で絶縁を保つことで、各々の欠陥発生状況を監視できる。また、上層が積層された状態においても下層の欠陥発生状況を計測できるように、スルーホール40を介して上下層の

触針用電極3及び3'を接続してもよい。本TEG構造は、積層による欠陥発生状況の変化を監視するのに有効である。本TEG構造に於いては、下層を検査した後、上層を形成して検査することとなる。その際、下層の配線抵抗を測定することで上層を形成したことによる影響を検査することができる。短絡検査用配線2をスルーホール40を介して上下間で導通させることを考えると、図示はしていないが、短絡検査用配線2の配線幅を広くしてスルーホール形成時の位置ずれを吸収できるように構成することが好ましい。これはコンタクトプラグ5についても同様である。従って、短絡検査用配線2は断線検査用配線1よりも配線幅を広く形成することが好ましい。これは短絡検査用配線が断線しないためにも好ましい。この場合、電位コントラスト法における断線検査用配線1と短絡検査用配線2との容量差を考慮して寸法を決定することは言うまでもない。

【0032】図11に、短絡不良を検出するための他のTEG構造を示す。

【0033】図に示すTEG構造は、短絡不良のみを検出する機能のみに限定したものであり、櫛歯配線41の間隙に、短絡検知用配線2を配置したものである。このように短絡だけを検出するのであれば、共通の電位となる櫛歯配線と、櫛歯配線と非導通状態の短絡検知用配線があれば良い。

【0034】図12に、短絡不良を検出するための他のTEG構造を示す。

【0035】図に示すTEG構造は、これまで複数個配置していた短絡検知用配線を、短絡検知用配線42のようにそれぞれ一本の配線で形成したものである。これによつて、ラインスキャンによる不良位置特定の際に、走査線を少なくすることができ、特定時間を短縮できる。また、図示はしていないが、この1本の短絡検知用配線42に対してコンタクトプラグ5を複数個形成すれば、短絡検知用配線42の断線が生じた場合にも対応できる。

【0036】図13に、短絡不良を検出するための他のTEG構造を示す。

【0037】図に示すTEG構造は、各短絡検知用配線2に接続するコンタクトプラグ5を複数にしたものである。コンタクトプラグ5が非導通であると、短絡検知用配線2が短絡しても、電気的な検査によりこの短絡欠陥を見逃してしまう。これを避けるために、予備のコンタクトプラグを設けて、欠陥の有無を精度良く測定することができる。また、前述同様に、短絡検知用配線2の断線が生じた場合にも対応できる。

【0038】図14に、短絡不良を検出するための他のTEG構造を示す。

【0039】図に示すTEG構造は、基板電位を与えるために、触針用電極3'を設けて、p+チャネル51とコンタクトプラグ5を介して、P型シリコン基板6に

接続させたものである。基板から電流をとれないときには有効である。

【0040】図15に、短絡不良を検出するための他のTEG構造を示す。

【0041】図に示すTEG構造は、断線検知用配線1の片端の触針用電極3を、p+チャネル52とコンタクトプラグ5を介して、P型シリコン基板6に接続させたものである。SEMによる外観検査の際に、断線検知用配線1の帯電起因の画像ドリフトによる検査不良を低減できる。ここで、p+チャネル52は、P型シリコン基板6の不純物濃度より高い濃度で不純物を打ち込んだものである。(p+チャネル52を省いてコンタクトプラグ5のみで導通させてもよい。)

これまで説明してきたTEG構造では、いずれもP型シリコン基板を使用したが、N型半導体基板を用いることも可能である。但し、この場合はP型ウェル領域を設け、このP型ウェル領域内に適宜前記チャネル領域を配置させる必要がある。また、上記いずれの実施例において、ウェハ全面にTEGのみを搭載してもいいし、ウェハ内にTEGと製品チップとを混在させて搭載する方式のいずれでもよい。このとき、TEGの配置は均一なピッチでウェハ内に配置してもよいし、半径を変えた同心円上に配置させてもよいし、スクライブラインに配置しても良い。さらに、上記いずれの実施例を適宜組み合わせた方式についても、有効であることは言うまでもない。

【0042】また、nチャネルを形成しなくともダイオード効果が得られ、電子の流れを制御できるのであれば、nチャネルを形成する必要はない。

【0043】また、様々な断線検知用配線のパターンや短絡検知用配線のパターンを開示してきたが、配線パターンはこれらに限るものではなく、短絡検知用配線が何らかの配線と短絡した場合にコンタクトプラグ5を介して配線から基板、もしくは基板から配線へ電流が一定方向に流れよう構成であれば良い。

【0044】また、電位コントラスト法ではなく、外観検査や電流吸収法を用いて短絡位置を検出するのであれば、ダイオード機能を作り込む必要はなく、単に導通していればよい。これによっても1つのモジュールで簡単に短絡と断線とを判断できるので、検査効率、製造歩留まりが改善される。

【0045】図16は、外観検査装置により短絡箇所や断線箇所を特定する方式を示す。この方式は、外観検査装置(図示せず)によりTEGの表面を光、もしくは電子などの荷電粒子ビームを照射して、得られる反射光(明視野光、あるいは暗視野光)、もしくは2次電子あるいは反射電子を検出してTEGの表面構造の観察画像(原画像14)を取得して、別の領域の観察結果(比較画像15)を一枚あるいは二枚取得して、これらの差画像16の異常を判定し、欠陥の有無を確認するものであ

る。図では、断線を検出する例を示している。

【0046】図17は、吸収電流法を用いた不良箇所の特定方法を示す図である。

【0047】まず、断線検知用配線1に接続した触針用電極3の片側にプローブ10を接触させておく。TEGの表面に電子線等の荷電粒子線20を照射すると、この2次電子21の放出量の差、すなわち電流の収支をプローブにて検出することが可能となる。検出器30で検出した電流変化を、信号処理部32にて所望の処理を行

い、走査画像として表示部33に出力する。吸収電流法は、以上の原理を用いたものである。短絡欠陥の位置を特定する場合、正常な短絡検知用配線では、プローブへは電流が流れないと、短絡箇所では、電流が流れため、短絡欠陥を検出できる。前述の電位コントラスト法と同様に、荷電粒子線の照射をラインスキャンして不連続点を検出したり、吸収電流画像を走査と同期した2次元画像として、正常部との比較検査を行うことで、不良箇所を特定することが可能となる。また、この荷電粒子線20を用いて、短絡箇所の拡大画像を取得することも有効である。また、断線位置特定の場合、断線箇所で、吸収電流量の変化が確認でき、電位コントラスト法の場合と同様な処理により、この座標を記憶しておくか、照射に用いた荷電粒子線20を使って、そのまま断線箇所の拡大画像を取得することができる。

【0048】図20は、発光顕微鏡を用いた短絡箇所の特定方法を示す図である。

【0049】まず、触針用電極3及び3'に、プローブ10を接触させて、電源103を接続する。これまでの実施の形態で述べてきたとおり、このTEGに短絡13が存在するならば、この電源103により電流が流れる。

このとき、P型シリコン基板6とnチャネル7によって形成されるPN接合を経由してこの電流が流れるため、このPN接合部では発光現象が発生する(短絡による発光101)。上層に配線が形成されているが、一般に順方向電流による発光強度は高く、この配線の間隙から発光が漏れる。発光顕微鏡を用いて、この発光を捉えることにより、短絡13の有無や、短絡13の発生位置を検出することが可能となる。この後、ここで得られた座標に基づいて、SEMやTEMなどの物理分析を行うことで、不良解析時間を短縮することができる。このとき、p+チャネル51とP型シリコン基板6によって形成されるPN接合によっても、発光現象が発生する可能性がある(電極下からの発光102)。パットによって発光が遮蔽されない場合は、この部分からの発光は、短絡13によるものではないため、欠陥として認識したり、この座標を記憶させる必要はない。

【0050】ここで説明した発光顕微鏡を用いた手法では、短絡箇所の位置特定だけでなく、電源103に流れる電流を測定することで、短絡の有無も確認することができる。

【0051】また、ここで説明したP型シリコン基板6とnチャネル7によって形成されるPN接合による発光を捉えるようなTEG構成以外の場合でも、発光現象を捉えることが可能である。例えば、nチャネルをpチャネルとし、P型シリコン基板をn型シリコン基板とした場合、短絡検査時の触針にダイオードの降伏電圧以上の電圧を印加すれば、接合部の降伏による発光現象を検出することは可能である。図1に示すTEGの製造プロセスを図18を用いて説明する。まず、Siウエハにエッチングして素子分離領域8のための溝を形成し(b)，ウエハ上面にSiO₂などの酸化膜をCVD等で成膜する(c)。この酸化膜の余分な部分をCMP(化学機械研磨)により除去し、平坦化させて、所望の素子分離領域8を形成する(d)。次に、所望の領域にnチャネル7を形成するためにイオン打ち込みを行う(e)。この上に、SiO₂などの層間絶縁膜4を堆積し(f)，コントラクトプラグ5を埋め込むための穴をエッチングで形成し(g)，穴内部にWなどの金属を埋め込んだ後

(h)，CMPにより上面の余分な金属材料を除去してコントラクトプラグ(i)を形成する。さらに、上面にSiO₂などの層間絶縁膜4を形成し(j)，配線パターンのための配線溝を形成する(k)。配線溝に、配線拡散防止のバリア膜(例えば、TiN：窒化チタン、TaN：窒化タンタル、Ta：タンタルなど)を介して(図示せず)，Cuなどの金属をメッキ、もしくはスパッタリングにより成膜し(l)，CMPにより余分な金属を除去・平坦化して、断線検知用配線1、短絡検知用配線2、触針用電極3、3'を形成する。なお、上記いずれのエッチング工程のためのパターン生成は、予めホトリソグラフィー工程によりレジストマスクを形成し、マスク以外の部分を除去するものである。一部プロセスを変えて、配線の材料をAlやWにして形成させることも可能である。できるだけ製品に類似したプロセスで作りこむことで、製品と同じ問題点をTEGにより抽出できることは言うまでもない。

【0052】本発明の製造ラインへフィードバック方法を図19を用いて説明する。TEGの製造工程を設定して製造ラインにSiウエハをインプットし、製造を行う(STEP1)。この製造プロセスにおける所望の工程間、工程後にウエハの外観検査(例えば、成膜後に異物検査、エッチ後やCMP後に外観検査、これら検査後のSEMレビューなど)を行った後(STEP2)，テストやプローバなどにより電気テストを行い、TEGの良、不良判定を行う(STEP3)。電気テストの結果に基づいて、(必要に応じて外観検査の結果を参照しながら)解析すべきTEGを選択し、そのTEGについて不良位置を特定する(STEP4)。この特定した不良の位置座標に基づいて、SEMやTEMによる表面、断面の観察や材料分析を行って(STEP5)，不良メカニズムを推定し、対策案を策定する(STEP6)。必

要に応じて欠陥発生頻度が目標より多いかどうかを見極めて対策すべきかどうかを判断した後、所望の対策(プロセス改善、装置改善、装置内清掃など)を行い、以降のロットに結果を反映させ、効果確認を行う(STEP7)。これによって、欠陥低減を推進し、歩留りの向上を実現することができる。

【0053】以上説明したように、短絡検知用配線2をシリコン基板6側と電気的に接続することで断線検知用配線1と短絡検知用配線2との間で短絡が生じたとしても、断線検知用配線1と接続する電極とシリコン基板6と接続する電極との間の配線抵抗を測定することで短絡したか否かを検出することができる。

【0054】また、P型シリコン基板6にnチャネルを構成することでダイオード機能を作り込み、それによって電位コントラスト法における荷電粒子の照射によっても2次電子を放出しないように構成でき、短絡したか否かの位置をもコントラストの差として検出することができる。

【0055】これによって、複数のTEGからなるウエハの全面を電気的に測定し、これにより不良となったTEGを絞り込んだ後、この不良TEGに対してのみ、詳細な検査を行うことで欠陥の発生位置を特定することができる。効率よく欠陥の発生状況を捉えることが可能となり、短時間で欠陥の発生モデルを推定し、その発生源を対策することで製造ラインの清浄化、ひいては製造歩留りの向上を実現できることとなる。

【0056】

【発明の効果】本発明によれば、TEGを用いた検査効率を向上させ、それによって歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明のTEG構造を示す図

【図2】短絡不良の検出方法を説明する図

【図3】短絡不良の検出方法を説明する図

【図4】スキャン方式と検査アルゴリズムを示す図

【図5】断線不良の検出方法を説明する図

【図6】スキャン方式と検査アルゴリズムを示す図

【図7】断線不良と短絡不良の検出方法を説明する図

【図8】断線不良と短絡不良の検査フローを示す図

【図9】断線不良と短絡不良の検出方法を説明する図

【図10】本発明のTEG構造を示す図

【図11】本発明のTEG構造を示す図

【図12】本発明のTEG構造を示す図

【図13】本発明のTEG構造を示す図

【図14】本発明のTEG構造を示す図

【図15】本発明のTEG構造を示す図

【図16】外観検査装置により断線箇所を検出する方式を示す図

【図17】電流吸収法により短絡箇所を検出する方式を示す図

【図18】本発明のTEGの製造プロセスを示す図

【図19】本発明の製造ラインへフィードバック方法

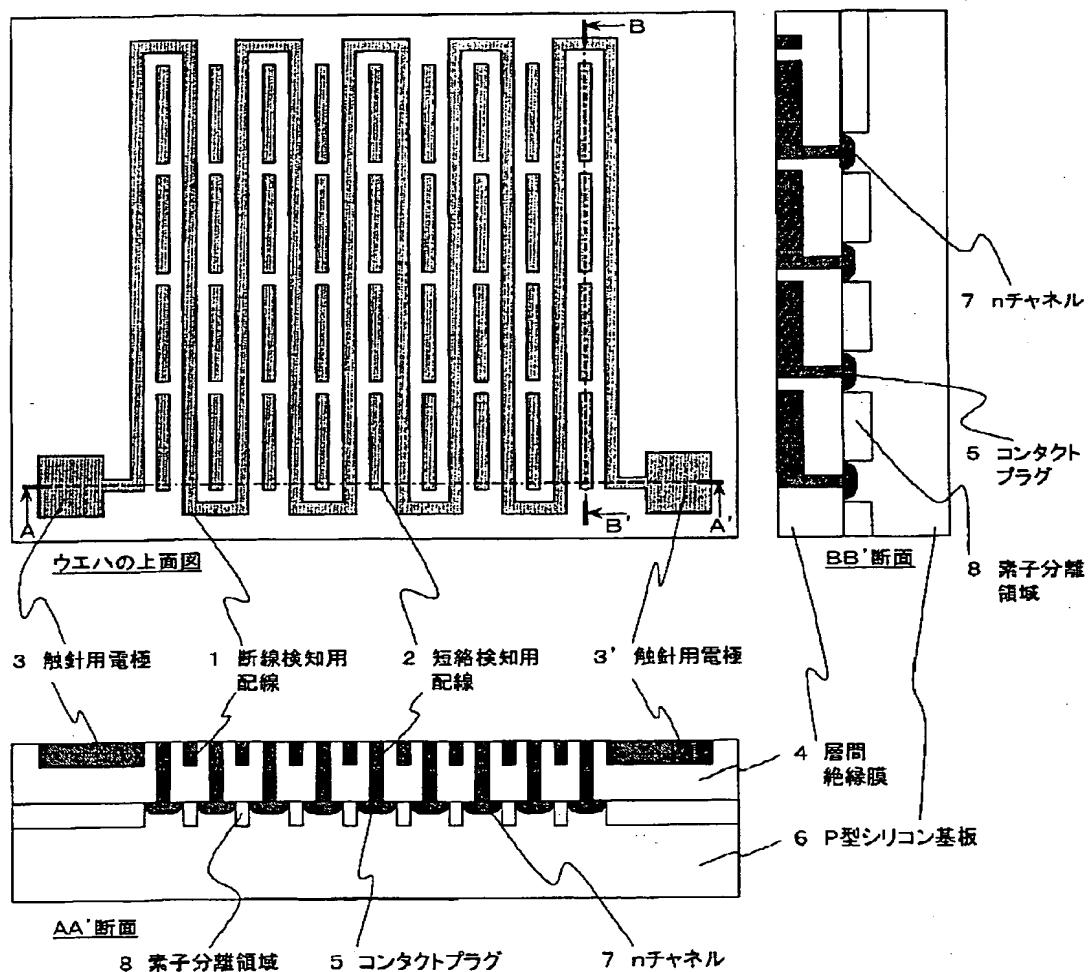
【図20】発光顕微鏡により短絡箇所を検出する方式を示す図

【符号の説明】

1…断線検知用配線、2…短絡検知用配線、3…触針用電極、4…層間絶縁膜
5…コンタクトプラグ、6…P型シリコン基板、7…nチャネル、8…素子分離領域

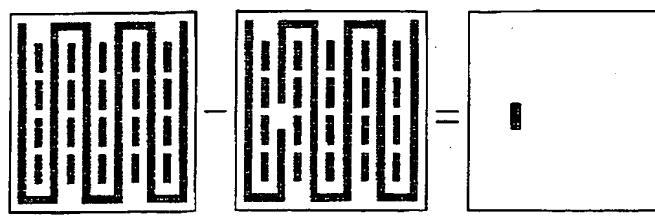
【図1】

図1



【図16】

図16



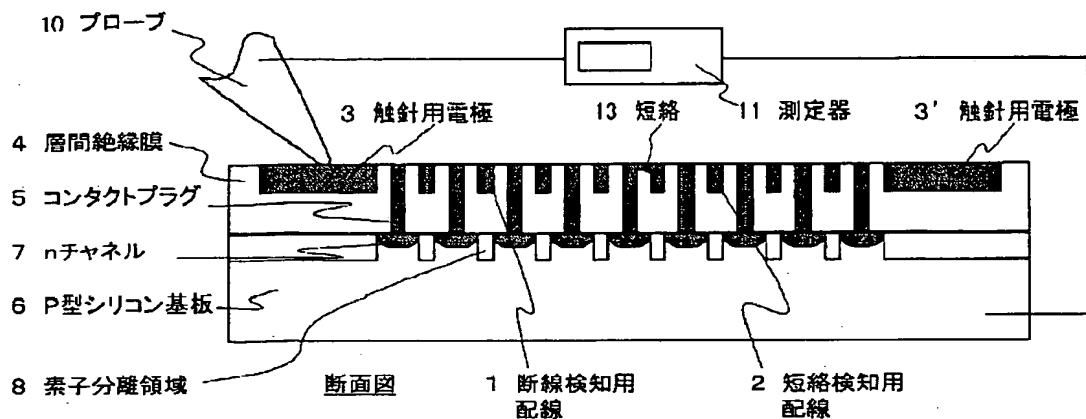
14 原画像

15 比較画像

16 差画像

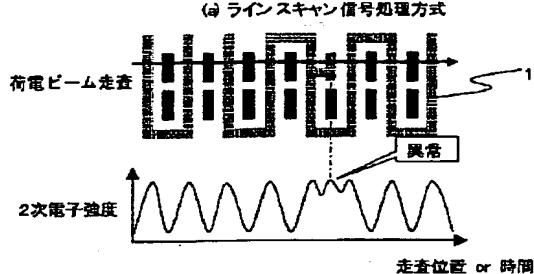
【図2】

図2

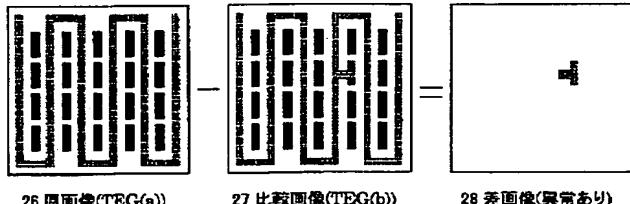


【図4】

図4 (a) ラインスキャン信号処理方式

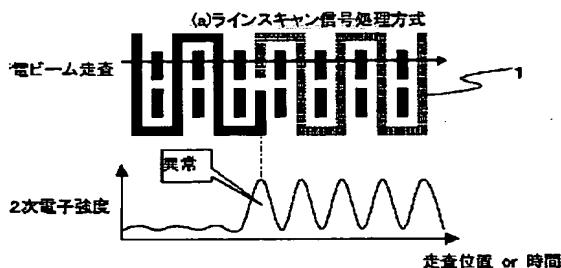


(b) 画像比較方式

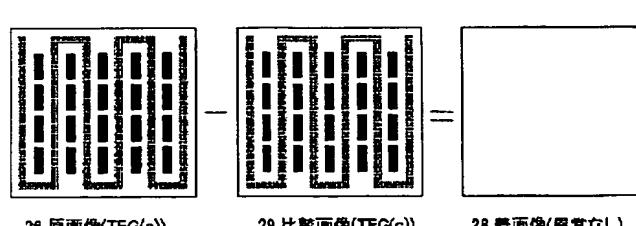
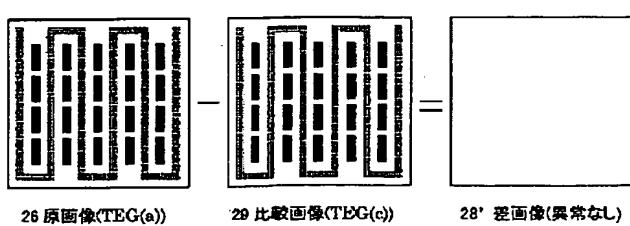
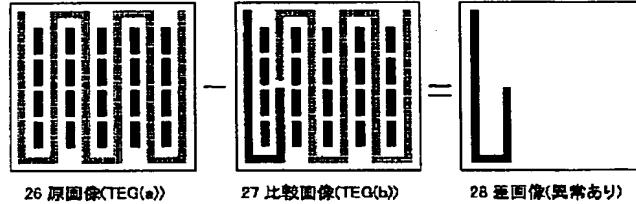


【図6】

図6 (a) ラインスキャン信号処理方式

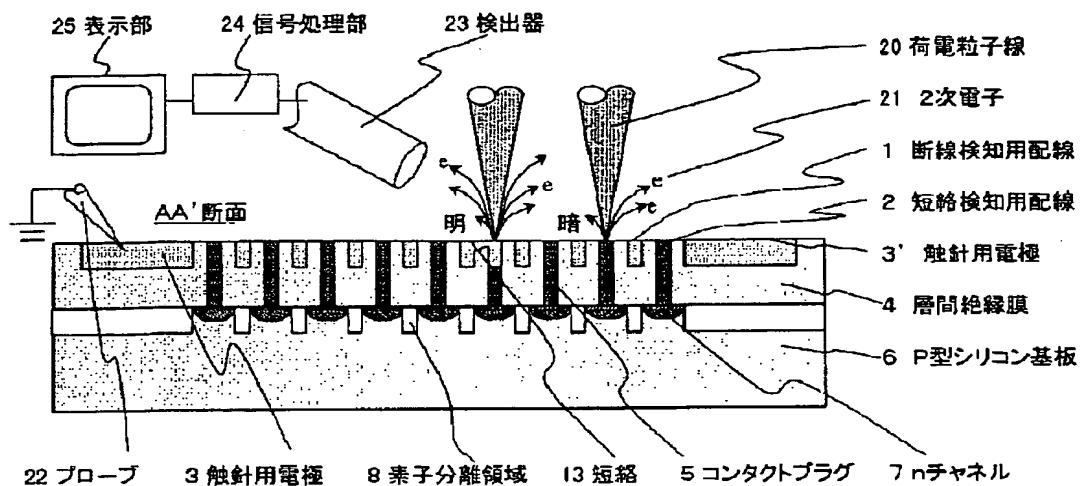
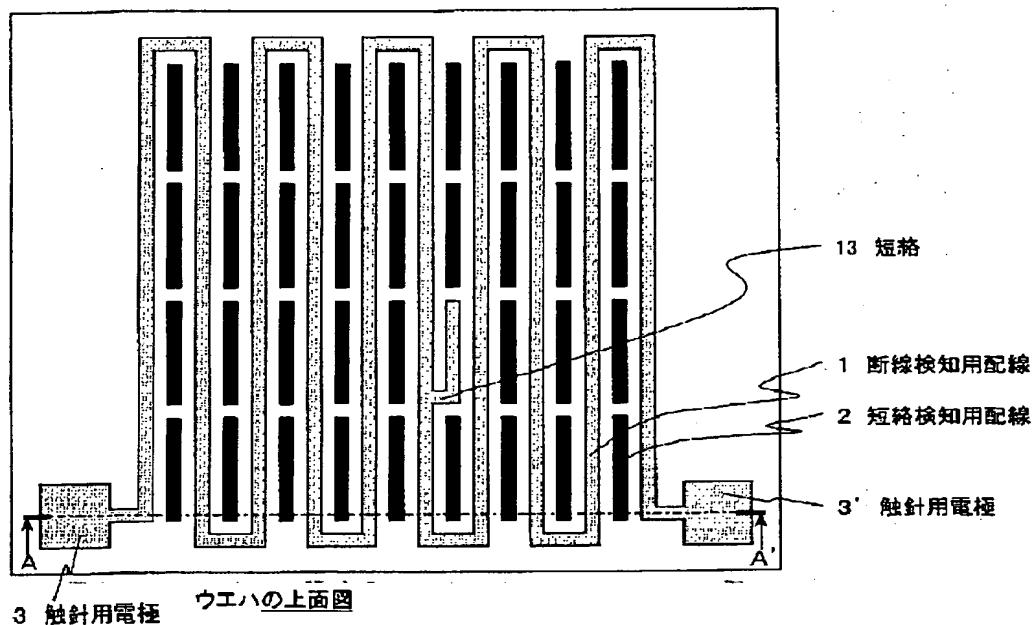


(b) 画像比較方式



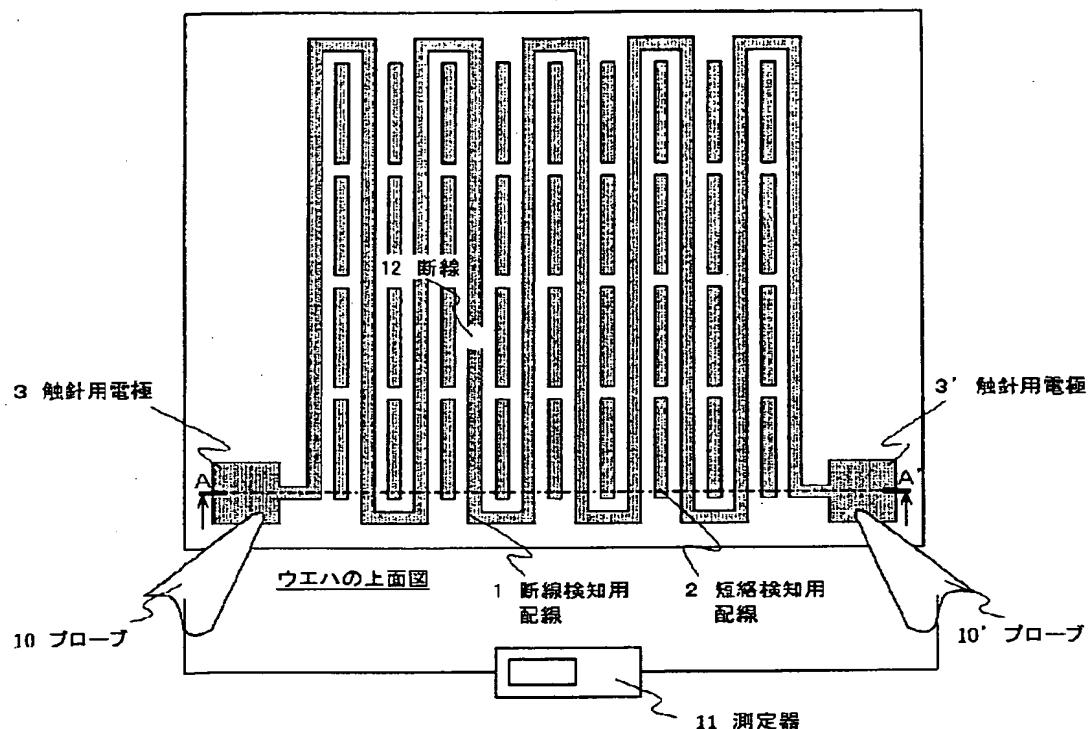
【図3】

図3

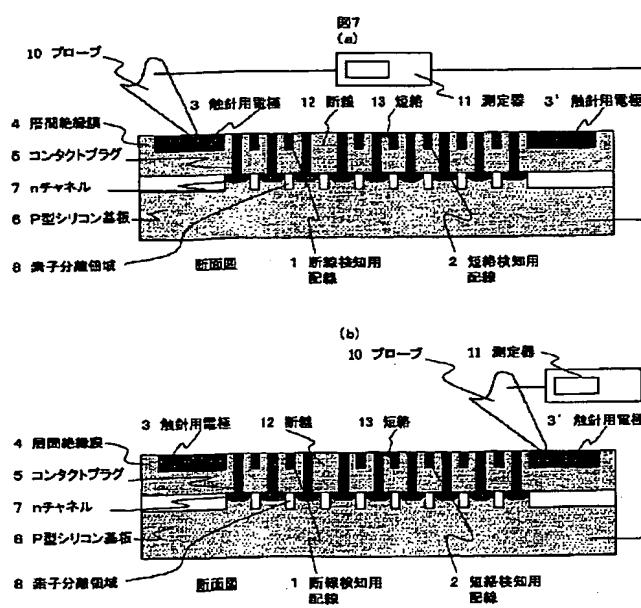


【図5】

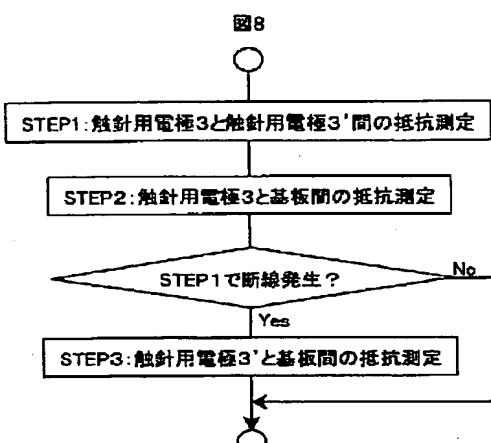
図5



【図7】



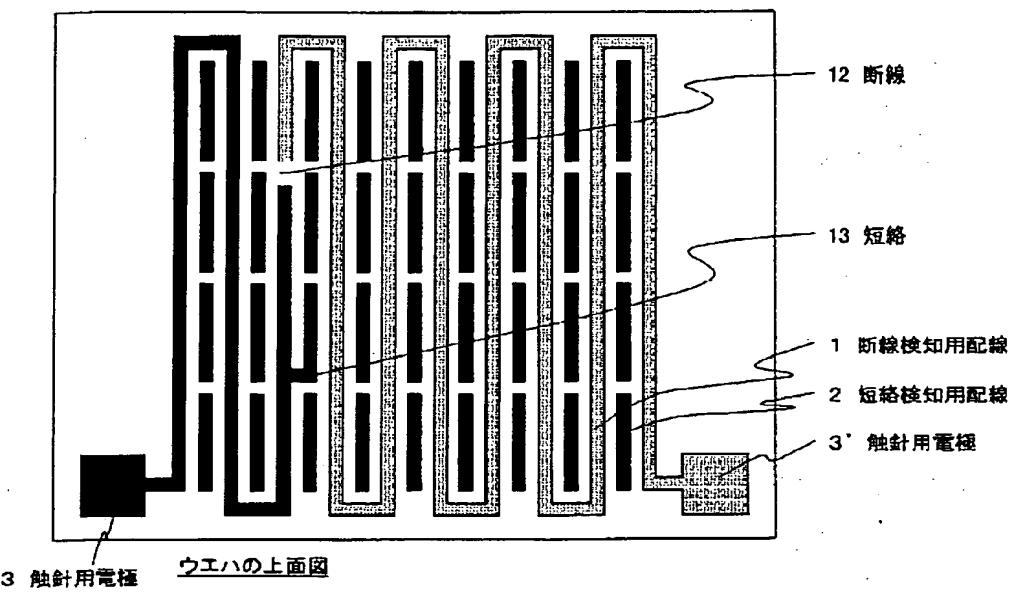
【図8】



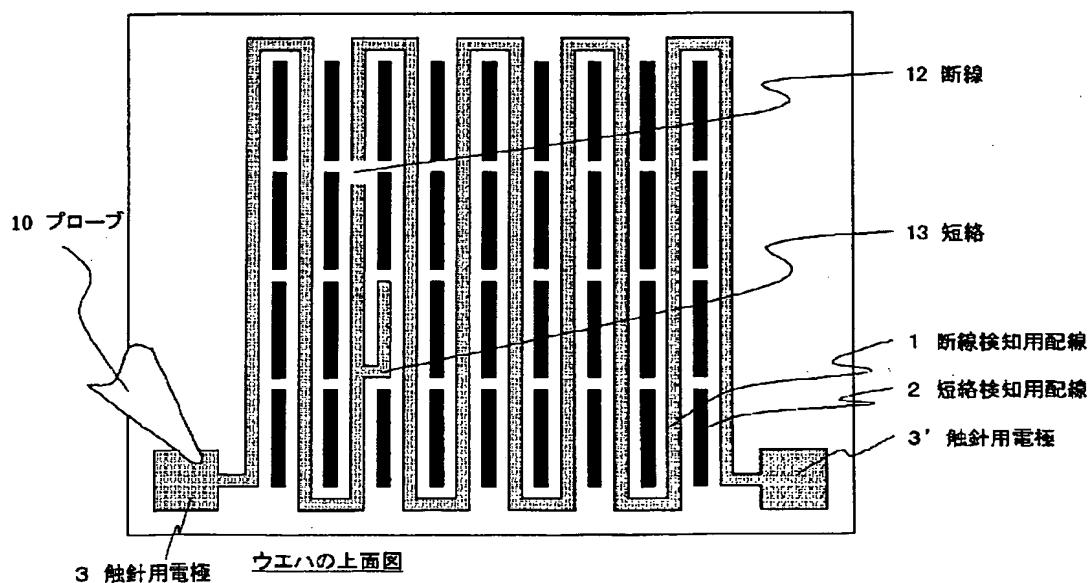
【図9】

図9

(a)

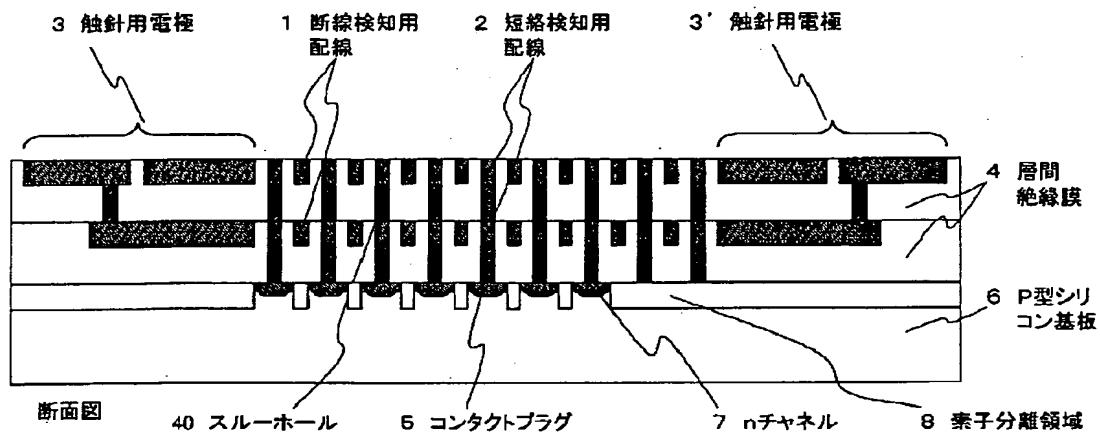


(b)



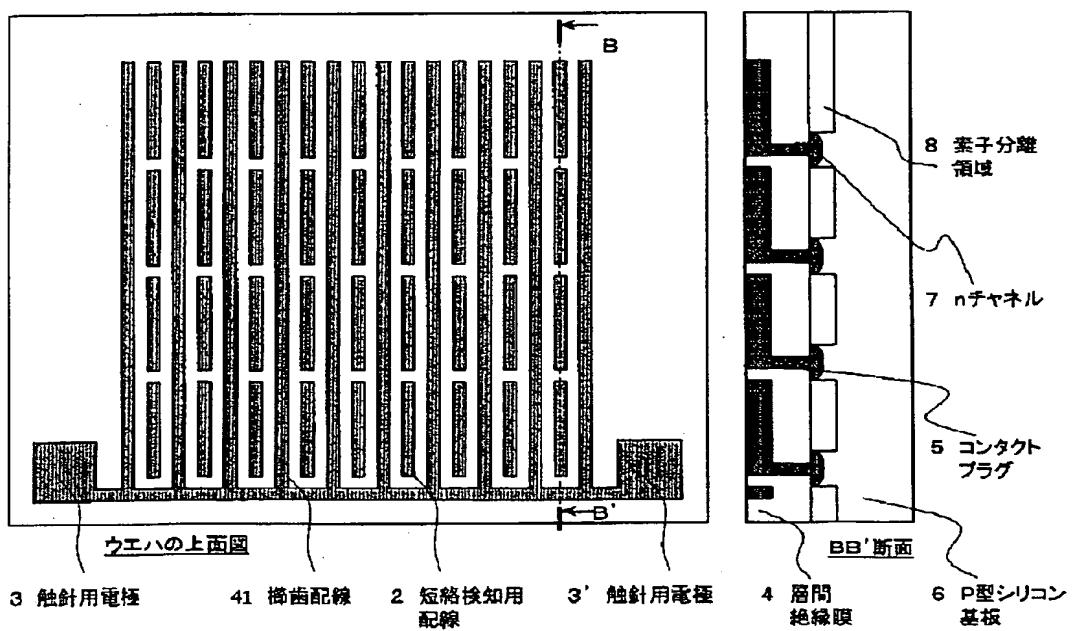
【図10】

図10



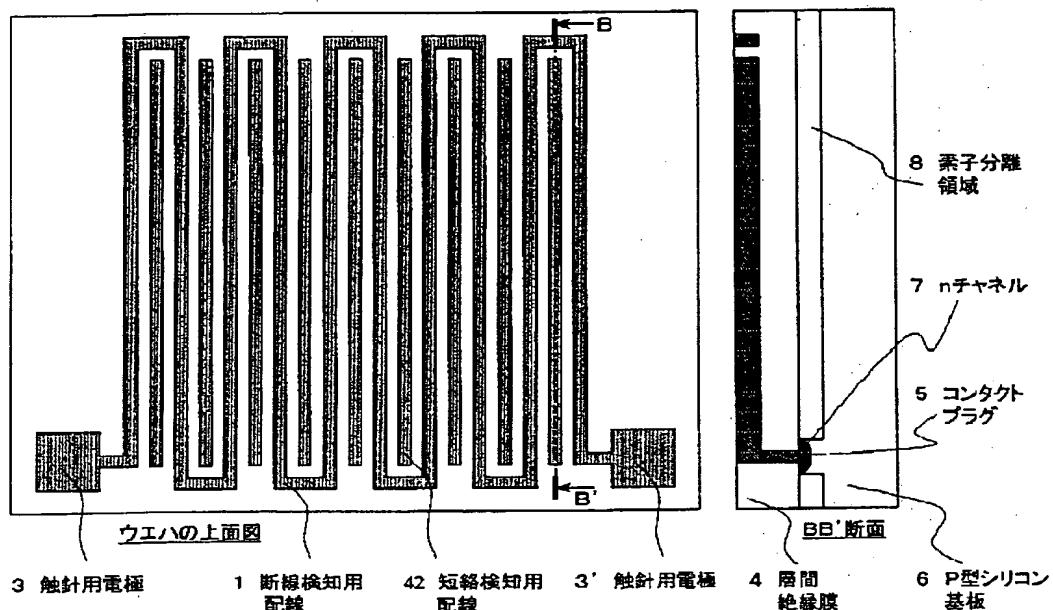
【図11】

図11



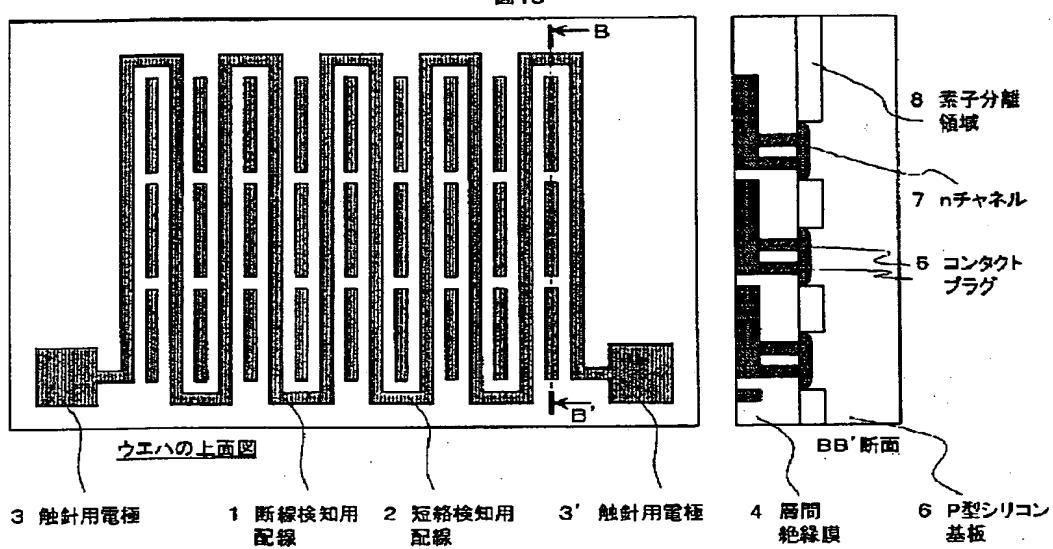
【図12】

図12



【図13】

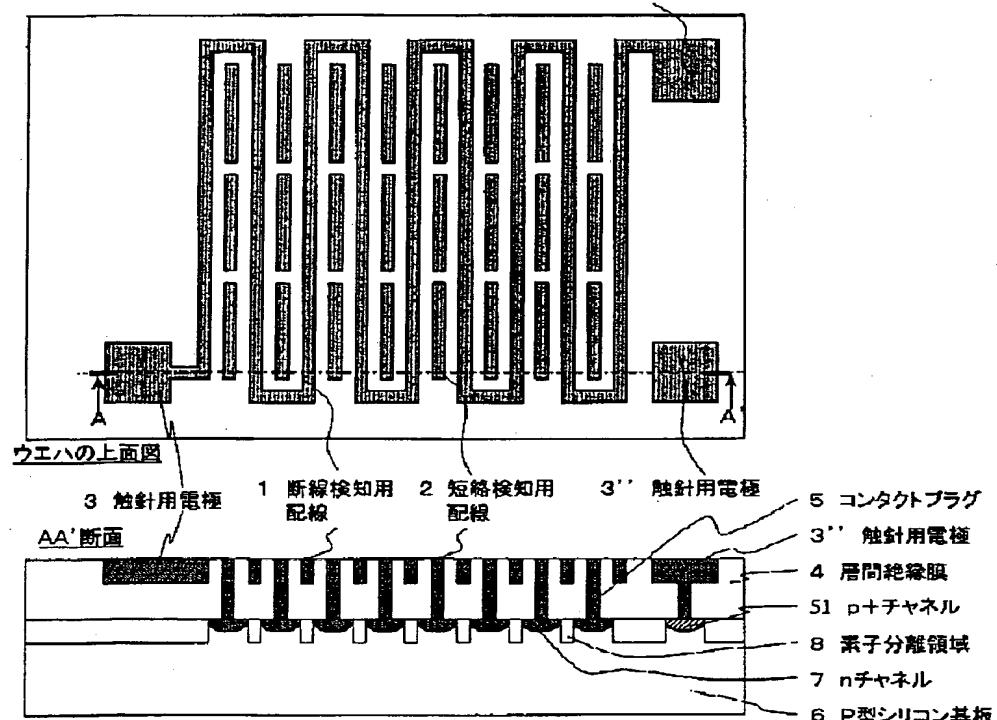
図13



【図14】

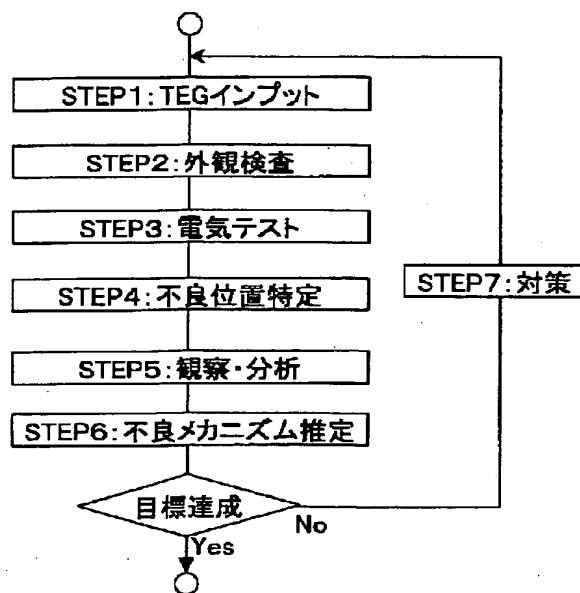
図14

3' 触針用電極



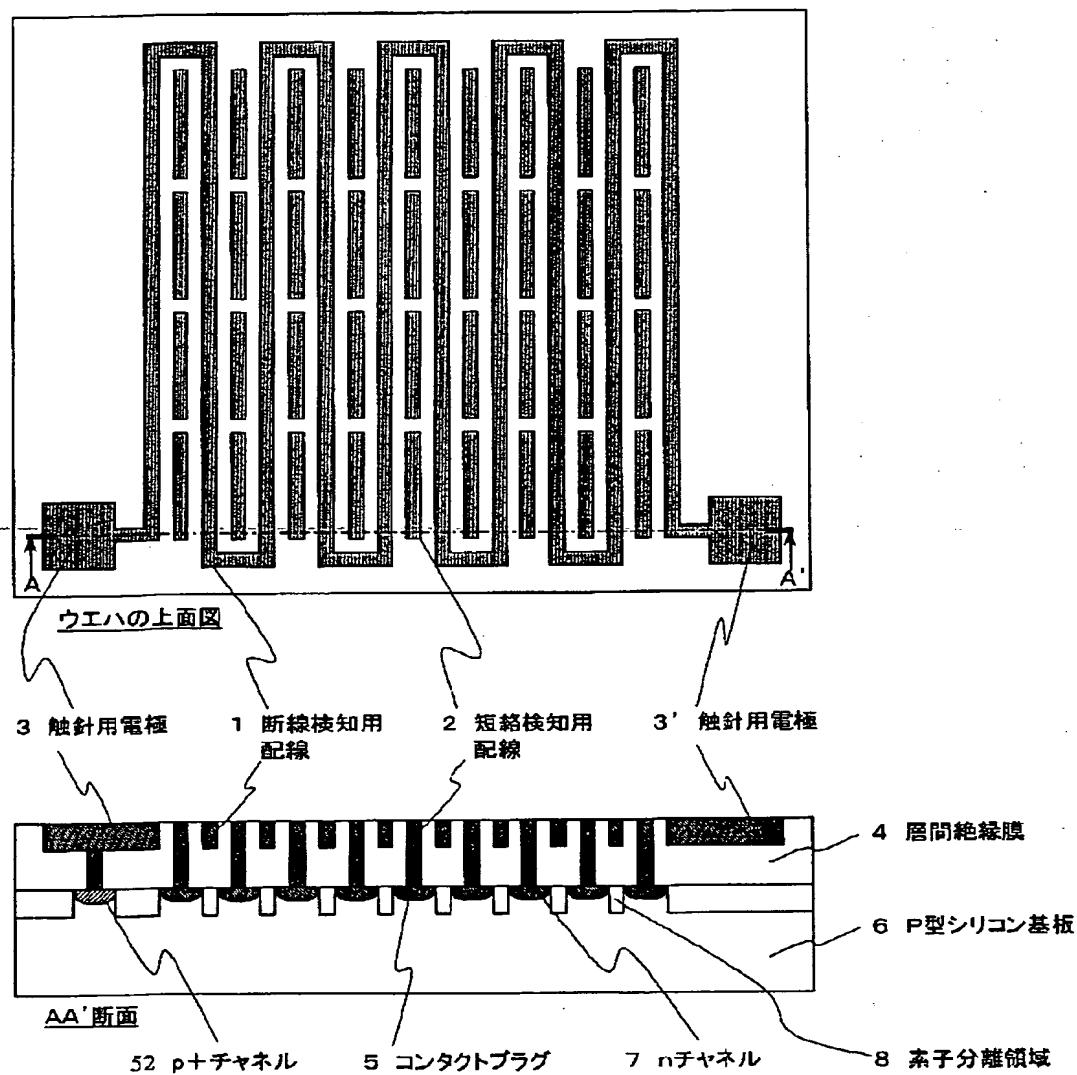
【図19】

図19



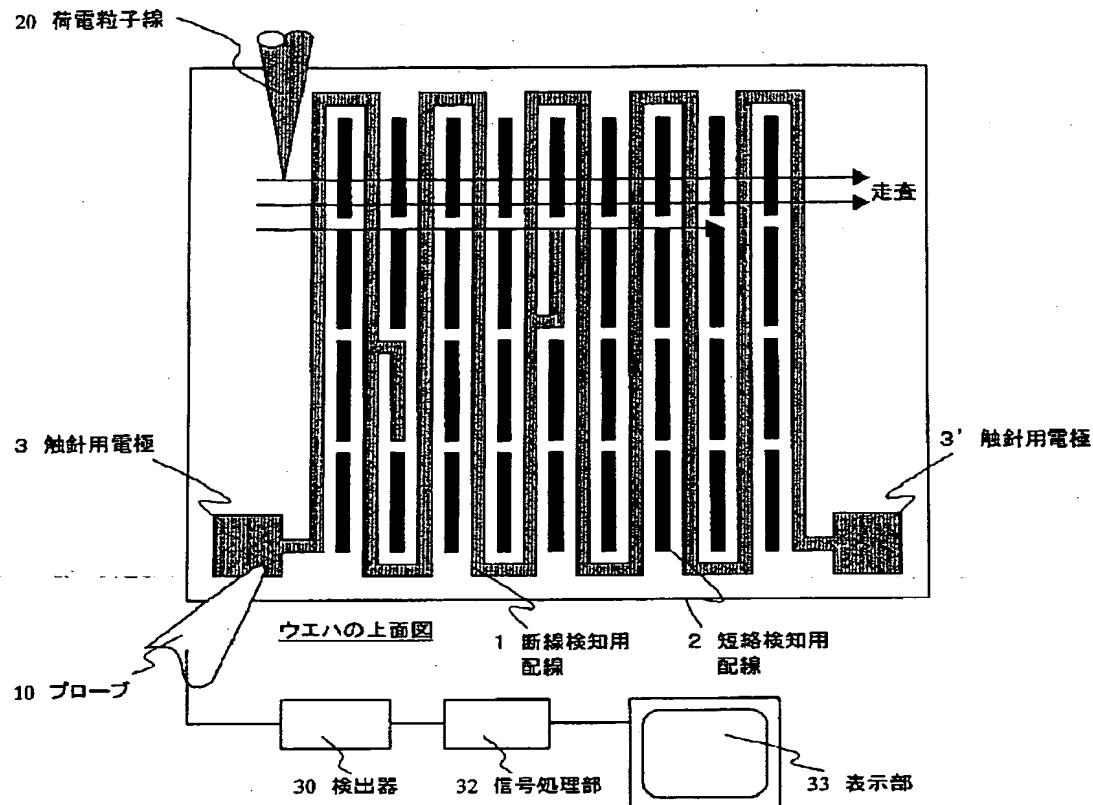
【図15】

図15

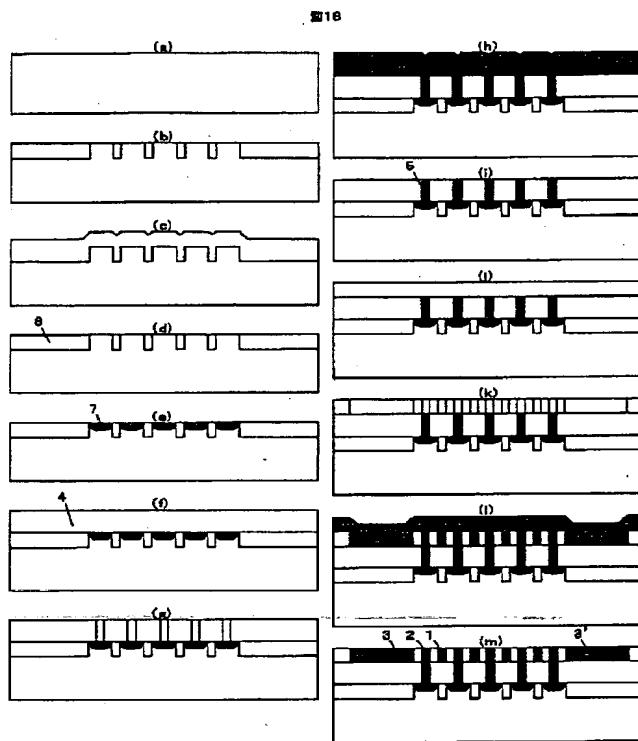


【図17】

図17



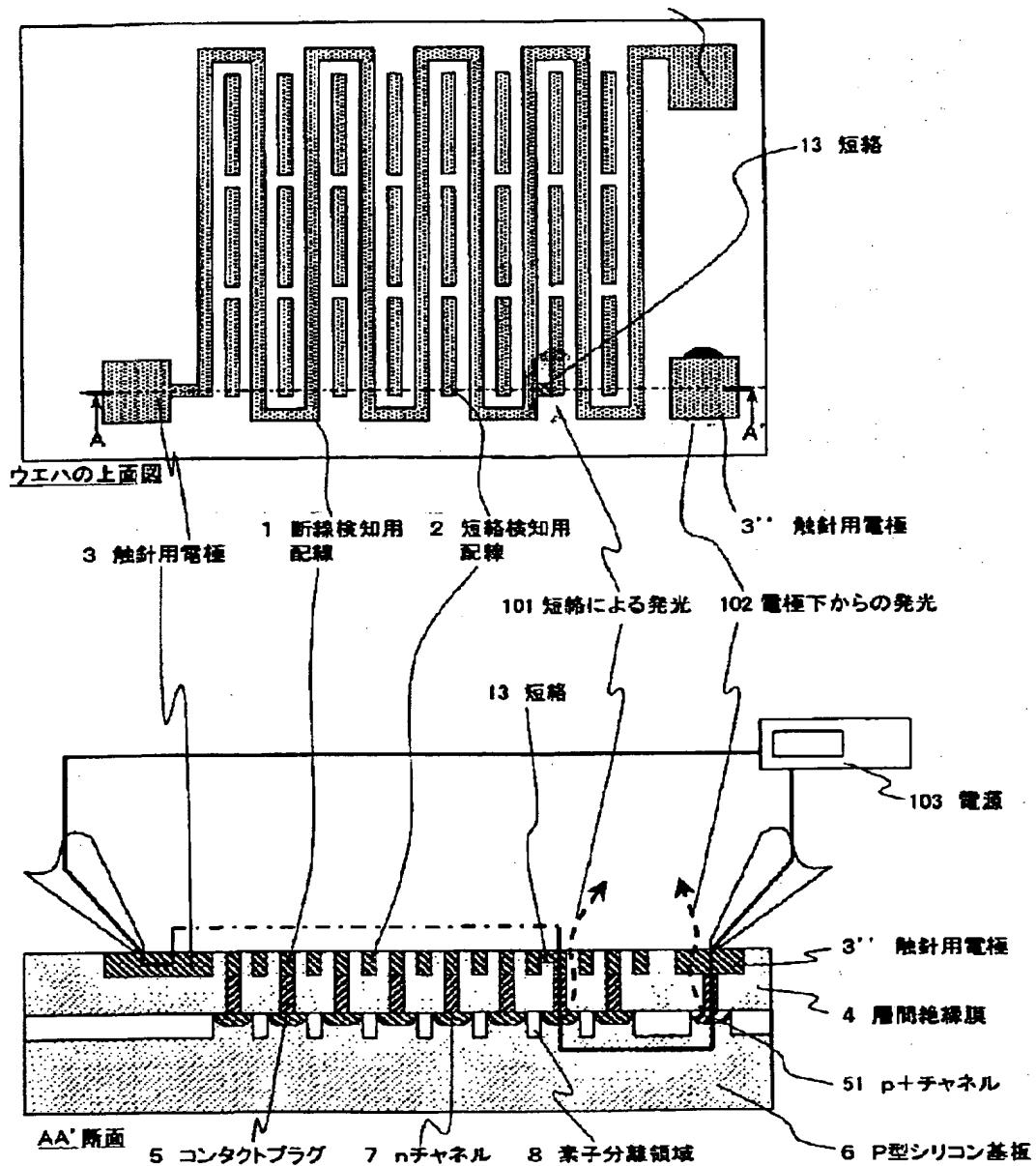
【図18】



【図20】

図20

3' 触針用電極



フロントページの続き

(51) Int.C1.7

H O 1 L 21/822
27/04

識別記号

F I
H O 1 L 27/04

マークド (参考)

T

(72)発明者 朝倉 久雄
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 津国 和之
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 杉本 有俊
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 2G014 AA02 AA03 AB51 AB59 AC11
2G132 AA00 AD15 AF13 AK01 AK04
AL09
4M106 AA01 AC02 BA10 CA10 CA16
DE30
5F038 BE07 CD12 CD20 DT10 DT12
EZ20

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.